

ICS 31.200

CCS L56

备案号:

SJ

中华人民共和国电子行业标准

SJ/T XXXXX—XXXX

模拟芯片设计一致性验证方法

Verification method of consistency in analog chip design

(报批稿)

XXXX - XX - XX 发布

XXXX - XX - XX 实施

中华人民共和国工业和信息化部 发布

工业和信息化部标准报批稿公示

目次

前 言	III
引 言	IV
1 范围	1
2 规范性引用文件	1
3 术语、定义和缩略语	1
3.1 术语和定义	1
3.2 缩略语	2
4 总则	2
5 文件准备	3
5.1 通则	3
5.2 验证文件	3
5.3 说明文件	4
6 芯片整体设计一致性验证	4
6.1 通则	4
6.2 验证文件检查	5
6.3 连接关系比对	7
6.4 封装基板线路图比对	7
6.5 芯片版图比对	7
6.6 LVS 验证	8
7 IP 核补充验证	8
7.1 通则	8
7.2 硬核 IP 核验证	9
7.3 PR 门级网表形式的固核 IP 核验证	10
7.4 综合门级网表形式的固核 IP 核验证	11
7.5 软核 IP 核验证	12
7.6 自研 IP 核验证	12
8 权重赋值	14
8.1 通则	14
8.2 芯片整体设计一致性验证权重分配	14
8.3 IP 核补充验证权重分配	15
8.4 权重值设定原则	16
9 评分评级	16
9.1 评分方法	16
9.2 评级方法	18
附录 A (资料性) 特殊场景的处理建议	19
附录 B (资料性) 各类芯片关键 IP 核	20
附录 C (资料性) 各验证项权重推荐值	21

工业和信息化部标准报批稿公示

前 言

本文件按照 GB/T 1.1-2020《标准化工作导则 第1部分：标准化文件的结构和起草规则》的规定起草。

请注意本文件的某些内容可能涉及专利。本文件的发布机构不承担识别专利的责任。

本文件由全国集成电路标准化技术委员会（SAC/TC599）归口。

本文件起草单位：中国移动通信有限公司研究院、中国电子技术标准化研究院、中国移动通信集团有限公司、中国移动通信集团有限公司供应链管理中心、中国移动紫金（江苏）创新研究院有限公司、深圳市中兴微电子技术有限公司、北京智芯微电子科技有限公司、北京芯可鉴科技有限公司、北京奕斯伟计算技术股份有限公司、北京力通通信有限公司、武汉飞思灵微电子科技有限公司、南京创芯慧联技术有限公司、北京得瑞领新科技有限公司、极芯通讯技术有限公司、广州慧智微电子股份有限公司、联想未来通信科技（重庆）有限公司、开元通信技术（厦门）有限公司、禹创半导体（深圳）有限公司。

本文件主要起草人：丁海煜、王大鹏、张敏、李男、胡臻平、韩延涛、刘婧迪、李文智、王琪、杜玉欣、宋骁雄、宋维熙、胡劼、乔璐、罗晓羽、原义栋、陈永洲、赵天挺、许胜国、陈晨、陈泽岩、高峰、赵金生、赵丹怀、唐本亭、杨海俊、刘伟东、李壮壮、王黎元、胡永俊、毛雪飞、刘舒、张花、郑康、杨杰、刘芳、赵扬、胡巍浩、付剑、叶亚飞、周礼兵、安英杰、倪海峰、杨骥、陈金陵、刘大可、张军、胡朝彬、王金宝、刘苗、冯一柏、陈廷仰。

工业和信息化部标准报批稿公示

引言

模拟芯片设计一致性验证方法标准是给出模拟芯片各个设计关键环节输出文件间一致性的验证方法的标准，其目的是通过一套客观的验证方法，将模拟芯片的实物信息与设计信息进行比较，对设计信息进行验证，判断模拟芯片各个设计关键环节输出文件之间是否一致。

不同级别的模拟芯片设计一致性，可体现模拟芯片实物与设计之间的对应性，体现公司实际参与设计环节的多少、以及在各设计环节上所参与的比重。基于模拟芯片设计一致性验证的验证结果，可检验模拟芯片是否由某公司设计、以及该公司实际参与设计的环节和比重，可评估芯片公司所拥有模拟芯片的完整设计程度等。

工业和信息化部标准报批稿公示

模拟芯片设计一致性验证方法

1 范围

本文件描述了模拟芯片设计一致性的验证方法。

本文件适用于设备公司、系统公司等芯片使用方对拟选用模拟芯片的设计一致性进行评估验证，或者芯片公司对所研发芯片的设计一致性进行评估验证。

2 规范性引用文件

下列文件中的内容通过文中的规范性引用而构成本文件必不可少的条款。其中，注日期的引用文件，仅该日期对应的版本适用于本文件；不注日期的引用文件，其最新版本（包括所有的修改单）适用于本文件。

GB/T 9178—1988 集成电路术语

3 术语、定义和缩略语

3.1 术语和定义

GB/T 9178—1988界定的以及下列术语和定义适用于本文件。为了便于使用，以下重复列出了其中的部分相关术语和定义。

3.1.1

模拟集成电路 analogue integrated circuit

对表示连续物理量的电流或电压进行放大、转换、调制、运输、运算等的集成电路。它可分为线性集成电路和非线性集成电路。

[来源：GB/T 9178—1988，1.2.10]

3.1.2

接口集成电路 interface integrated circuit

输入端和输出端连接电子系统中电信号互不相容的各个部分的集成电路。

注：输入和输出信号可以是下述形式中的任一种：

- 数字输入、模拟输出；
- 模拟输入、数字输出；
- 数字输入、数字输出；
- 模拟输入、模拟输出。

在第c)种形式中输入数字信号电平和输出数字信号电平不同。

[来源：GB/T 9178—1988，1.2.11]

SJ/T XXXX—XXXX

3.1.3

芯片 chip

已完成封装产品，且封装内部主要为集成电路。

3.1.4

模拟芯片 analog chip

封装内部集成电路主要为模拟集成电路、接口集成电路的芯片。

3.1.5

芯片设计一致性 consistency in chip design

芯片各个设计关键环节输出文件间的一致性。

3.1.6

综合门级网表 synthesis gate level netlist

数字芯片或数字芯片模块的RTL代码综合形成的门级网表，亦称作前端门级网表。

注：芯片模块包括了IP核。

3.1.7

PR 门级网表 place and route gate level netlist

数字芯片或数字芯片模块完成最终设计的门级网表，由综合门级网表经布局、布线等物理层面的优化后已可转化成版图时、与设计版图对应的门级网表，亦称作后端门级网表、布局布线后门级网表。

注：芯片模块包括了IP核。

3.1.8

IP 核 intellectual property (IP) core

经过验证、具有一定功能、可以复用的集成电路模块。

注1：按照IP核所主要处理的信号类型，可将IP核分为模拟IP核、数字IP核、模数混合IP核三大种类。

注2：注1中三大种类的IP核，均可根据其自研/授权情况具备不同的IP核形态。IP核形态可分为自研IP核、授权IP核，其中授权IP核是指非自研、需从其他公司采购或者获得授权的IP核。授权IP核的形态又可分为软核、固核、硬核，固核IP核的形态可再细分为PR门级网表形式的固核、综合门级网表形式的固核。

3.2 缩略语

下列缩略语适用于本文件。

LVS：版图对原理图 (Layout Versus Schematics)

PR：布局布线 (Place and Route)

RTL：寄存器传输级 (Register Transfer Level)

RDL：重布线层 (Re-Distributed Layer)

4 总则

芯片设计一致性验证包括对芯片直接开展的整体设计一致性验证（见第6章），和对芯片关键IP核进行的补充验证（见第7章）两部分。对于某类芯片无关键IP核的情形，芯片设计一致性验证等同于芯片整体设计一致性验证（见第6章）。

具体流程包括：首先进行文件准备，包括确定并获取开展验证所需要的文件（即验证文件，见第5.2），收集说明文件（见5.3）。然后根据验证文件（见5.2）对芯片进行芯片整体设计一致性验证（见第6章），针对关键的IP核，还应根据验证文件（见5.2）对芯片IP核进行IP核补充验证（见第7章）。针对芯片整体设计一致性验证的各个项目，以及IP核补充验证的IP核形态，给予不同的权重（见第8章），在相应验证通过后可获得这些权重。最后根据芯片设计一致性验证（见第6章、第7章）的验证结果，结合配置的权重（见第8章），对芯片进行评分和评级（见第9章）。整个验证过程如图1所示。

注1：本文件所述验证方法重点在于对芯片设计一致性进行验证，芯片的性能不在本文件验证范围内。芯片设计一致性验证的验证方可以由需求方（设备公司、系统公司等芯片使用方）与被验证方（芯片公司等）双方自行协商，可以委托第三方开展验证，也可以在征求一方同意后由另一方开展验证。

注2：随着芯片技术的迅速发展，芯片设计产业链出现了多种研发方式和交付方式，对于一些特殊场景，本文件也提供了处理建议，详见附录A。

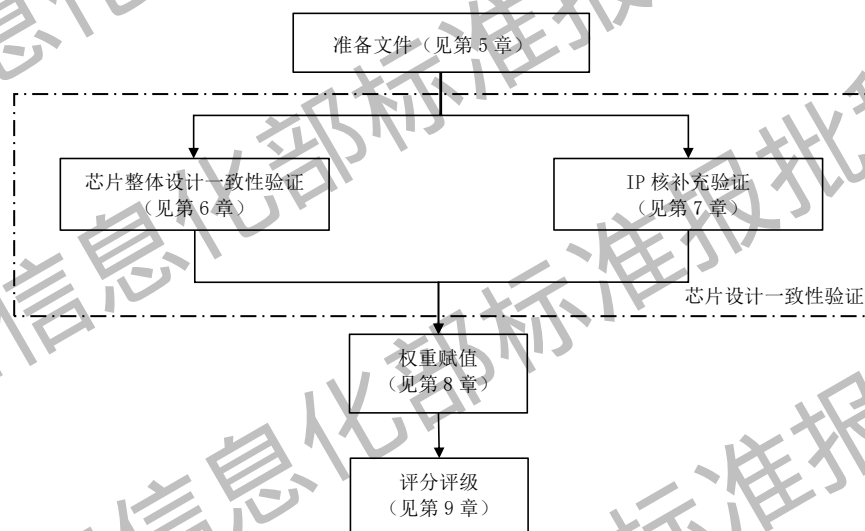


图1 模拟芯片设计一致性验证流程图

5 文件准备

5.1 通则

验证前，需确定并获取由被验证方准备的芯片的实物信息及设计信息，详见芯片实物相关文件（见5.2.1）、芯片设计相关文件（见5.2.2），芯片实物相关文件、设计相关文件统称验证文件。其中，5.2.1c）、5.2.2c）～5.2.2d）中的验证文件包括了关键IP核部分，其文件不再单独列出。为方便验证方顺利开展验证，被验证方还应提供一些必要的说明，见5.3。

5.2 验证文件

5.2.1 实物相关文件

实物相关文件如下：

- a) 芯片与封装基板间的实物连接关系；
- b) 封装基板实物线路图；
- c) 芯片实物版图。

注1：实物连接关系的表述形式为描述实物连接关系的表格或者描述连接关系的实物图。

注2：将5.2.1a)～5.2.1c)中的一项视作一个实物相关文件种类，某一种类的实物相关文件指该项文件中的所有文件或者部分文件。针对某一种类实物相关文件，允许根据实际验证需求，用其所有文件（所有信息）验证，或用其部分文件（部分信息）进行验证（如用部分模块/部分层/部分区域的文件进行验证）。

5.2.2 设计相关文件

设计相关文件如下：

- a) 芯片与封装基板间的设计连接关系；
- b) 封装基板设计线路图；
- c) 芯片设计版图；
- d) 芯片原理图。

注1：设计连接关系的表述形式为描述设计连接关系的表格或者描述连接关系的设计图。

注2：将5.2.2a)～5.2.2d)中的一项视作一个设计相关文件种类，某一种类的设计相关文件指该项文件中的所有文件或者部分文件。针对同一种类设计相关文件，允许在用于不同验证时，根据实际验证需求，用其所有文件（所有信息）验证，或用其部分文件（部分信息）进行验证（如用部分模块/部分层/部分区域的文件进行验证），进而用于不同验证的同种设计相关文件，其所含信息可能有所不同。同一种类设计相关文件在用于不同验证时，其格式亦可有所不同，进而同种设计相关文件的格式可不只一种。应确保同种设计相关文件在用于不同验证时，文件内容上的一致性。

5.3 说明文件

说明文件是对验证文件的一些介绍性说明，包括：

- a) 芯片封装管壳实物上的公司标识；
- b) 芯片公司对芯片封装管壳上的公司标识的声明；
- c) 芯片关键 IP 核的 IP 核形态说明表，其中部分类别芯片建议考察的关键 IP 核详见附录 B、表 B.1；
- d) 芯片 IP 核形态为授权 IP 的关键 IP 核的采购合同（或者授权证明、第三方服务合同、声明等）及使用说明，指令集授权的处理器 IP 核的授权证明；
- e) 芯片 IP 核形态为授权 IP 的 IP 核清单（应包含 IP 核具体形态说明）。

注：5.3a) 中的标识应与 5.3b) 中的一致。若芯片封装管壳实物上没有公司标识，5.3a) 可不提供，5.3b) 应说明无标识的原因。

6 芯片整体设计一致性验证

6.1 通则

根据第5章中的验证文件（即实物相关文件（见5.2.1）及设计相关文件（见5.2.2）），对模拟芯片进行芯片整体设计一致性验证，包括将实物相关文件（见5.2.1）与设计相关文件（见5.2.2）进行比对，以及对设计相关文件（见5.2.2）进行验证。

将实物相关文件与设计相关文件进行比对具体包括连接关系比对（见6.3）、封装基板线路图比对（见6.4）、芯片版图比对（见6.5）。对设计相关文件进行验证具体包括LVS验证（见6.6）。

在正式开展芯片整体设计一致性验证之前，需要进行验证文件检查（见6.2）。

验证文件检查（见6.2）是指在开展后续验证前，应对被验证方提供的验证文件进行检查，确认被验证方提供的文件是否满足规定要求。

鉴于关键IP核会通过第7章描述的方法开展补充验证，本章针对除去关键IP核之外的部分开展验证。如果除了关键IP核外，还有其他授权IP核（详见5.3e），本章亦可除去此类IP核开展验证。

芯片整体设计一致性验证的架构见图2。

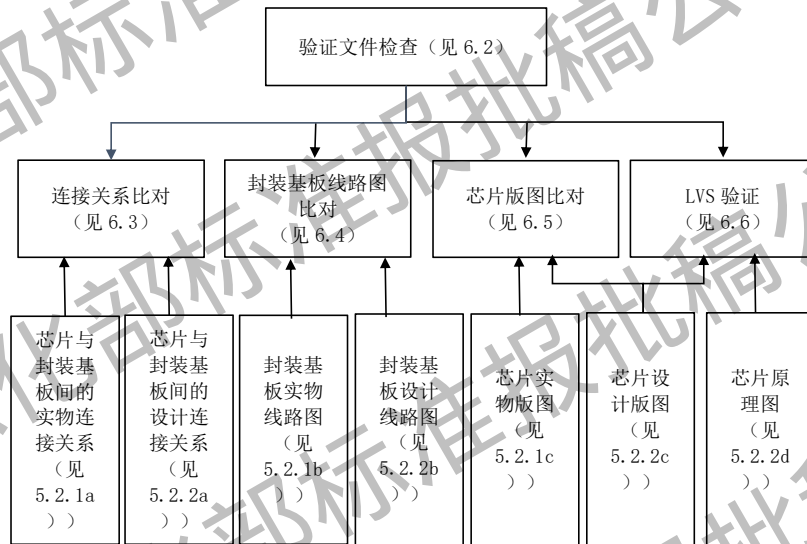


图2 模拟芯片整体设计一致性验证

6.2 验证文件检查

6.2.1 通则

完成6.2的检查后，才可开展6.3~6.6的验证。

6.2.2 芯片版图核查

6.2.2.1 需开展检查的情形

芯片与封装基板间的实物连接关系（见5.2.1a））、封装基板实物线路图（见5.2.1b））、芯片实物版图（见5.2.1c））等实物相关文件原则上应是所有层的文件，对于其中一层原则上应是整个区域的文件。相应的，5.2.2a）、5.2.2b）、5.2.2c）所述的设计相关文件，原则上应是所有层、整个区域的文件，6.3、6.4、6.5中所述的比对原则上应是所有层、整个区域的比对。

考虑到获取成本限制等实际情况，5.2.1a）、5.2.1b）、5.2.1c）等文件允许是部分层的实物相关文件，对于其中一层允许是几个局部区域的实物相关文件。相应的，5.2.2a）、5.2.2b）、5.2.2c）所述的设计相关文件，允许是部分层、几个局部区域的设计相关文件，6.3、6.4、6.5中所述的比对允许是部分层、几个局部区域的比对。其中，层号、区域的选取应以能够满足6.3、6.4、6.5中比对的需要为准，可通过随机选取、或者按照约定规则选取等方式进行。在此情况下，用于版图比对（见6.5）的芯片设计版图，与用于LVS验证（见6.6）的芯片设计版图，所包含的部分有存在差异的可能性（如用于芯片版图比对的芯片设计版图是部分层的版图，用于LVS验证的芯片设计版图是所有层的版图），此时需要开展芯片版图检查，详见6.2.2.2。

6.2.2.2 版图检查

检查用于芯片版图比对（见6.5）的芯片设计版图与用于LVS验证（见6.6）的芯片设计版图中，相同部分是否一致。

6.2.3 不同验证端文件检查

6.2.3.1 通则

当6.3~6.6的验证是在不同验证端（计算机、服务器等）开展时，为确定不同验证端验证使用的同一种类的文件属于同一源文件，需按照6.2.3.2~6.2.3.4中的其中一种方法或者多种方法开展检查。

注1：“同一种类的文件”中的“文件”是指实物相关文件（见5.2.1）或者设计相关文件（见5.2.2）中的所有文件或者部分文件（如部分模块/部分层/部分区域的文件），“同一种类”是指实物相关文件5.2.1a)~5.2.1c)中某一项、或者设计相关文件5.2.2a)~5.2.2d)中某一项。“的确属于同一源文件”，是指不同验证端验证使用的同一种类的文件，在不同的验证端上可用于不同的验证，这些用于不同验证的同类文件，需要确保其来源相同，才能保证验证都是针对同一款芯片开展，确保验证准确。

注2：一般建议选取6.2.3.2或者6.2.3.3的方法，并可将6.2.3.4作为补充方法与6.2.3.2或者6.2.3.3相结合。此时当各检查均通过时才认为文件检查通过，如当按照6.2.3.3、6.2.3.4开展检查时，根据校验码1和校验码2、以及向量1和向量2检查待校验文件1和待校验文件2是否一致，其中，当校验码1和校验码2相同、且向量1和向量2相同时，确定待校验文件1和待校验文件2一致。

6.2.3.2 同类文件复制性检查

检查不同验证端的同类文件为复制所得的操作如下：

- 确定不同验证端验证使用的芯片的同一种类的文件，作为芯片的待验证文件1和待验证文件2；
- 确定待验证文件1和待验证文件2中，其中一个待验证文件的所有文件是另一个待验证文件的所有或部分文件复制所得。或者，在验证时直接将一个待验证文件的所有或部分文件复制到另一个验证端上。其中，复制所有文件还是部分文件以能够满足验证端上的验证为准。

6.2.3.3 同类文件校验码检查

不同验证端的同类文件校验码检查的操作如下：

- 确定不同验证端验证使用的芯片的同一种类的文件，作为芯片的待验证文件1和待验证文件2；
- 根据待验证文件1得到用于校验的待校验文件1，根据待验证文件2得到用于校验的待校验文件2。其中，如果待验证文件1、待验证文件2所包含的部分（模块、层、区域等）相同，则确定待验证文件1为待校验文件1，确定待验证文件2为待校验文件2。其中，如果待验证文件1、待验证文件2所包含的部分（模块、层、区域等）不完全相同，则确定待验证文件1和待验证文件2中的相同部分的文件为待校验文件1和待校验文件2；
- 采用校验算法分别计算待校验文件1和待校验文件2的校验码，得到校验码1和校验码2；
- 根据校验码1和校验码2检查待校验文件1和待校验文件2是否一致。其中，当校验码1和校验码2相同时，确定待校验文件1和待校验文件2一致。

6.2.3.4 同类文件向量检查

不同验证端的同类文件向量检查的操作如下：

- 确定不同验证端验证使用的芯片的同一种类的文件，作为芯片的待验证文件1和待验证文件2；
- 根据待验证文件1得到用于校验的待校验文件1，根据待验证文件2得到用于校验的待校验文件2。其中，如果待验证文件1、待验证文件2所包含的部分（模块、层、区域等）相同，则确定待验证文件1为待校验文件1，确定待验证文件2为待校验文件2。其中，如果待验证文件1、待验证文

件2所包含的部分（模块、层、区域等）不完全相同，则确定待验证文件1和待验证文件2中的相同部分的文件为待校验文件1和待校验文件2；

- c) 将待校验文件1和待校验文件2分别输入至算法模型（如Transformer 模型）中，得到向量1和向量2（如CLS 向量1和CLS 向量2）；
- d) 根据向量1和向量2检查待校验文件1和待校验文件2是否一致。其中，当向量1和向量2相同时，确定待校验文件1和待校验文件2一致。

6.3 连接关系比对

将芯片与封装基板间的实物连接关系（见5.2.1a）与对应的设计连接关系（见5.2.2a）进行比对，检查二者是否一致。具体比对方法如下：

- a) 针对芯片实物版图上的管脚、芯片设计版图上的管脚，对其相同位置管脚，记作相同的管脚名；
- b) 针对封装基板实物线路图上的管脚、封装基板设计线路图上的管脚，对其相同位置管脚，记作相同的管脚名；
- c) 梳理芯片实物版图上的管脚与封装基板实物线路图上的管脚间的连接关系，填写实物连接关系表；
- d) 梳理芯片设计版图上的管脚与封装基板设计线路图上的管脚间的连接关系，填写设计连接关系表；
- e) 对于倒装焊形式的封装，还需将芯片实物版图（或封装基板实物线路图）上引出端的位置和间隔记录于实物连接关系表中，将芯片设计版图（或封装基板设计线路图）上引出端的位置和间隔记录于设计连接关系表中；
- f) 对于有中介层（Interposer，下同）或者RDL的封装，实物连接关系表需分解为：芯片-中介层/RDL实物连接关系表、中介层/RDL-封装基板实物连接关系表，设计连接关系表需分解为：芯片-中介层/RDL设计连接关系表、中介层/RDL-封装基板设计连接关系表；
- g) 在图像可以完整记录和表达上述实物连接关系表、以及设计连接关系表中的信息的前提下，实物连接关系表允许替换为实物连接关系图，设计连接关系表允许替换为设计连接关系图；
- h) 比对实物连接关系表（或图）与设计连接关系表（或图），检查二者是否一致，若一致则连接关系比对通过。

6.4 封装基板线路图比对

将封装基板实物线路图（见5.2.1b）与对应的封装基板设计线路图（见5.2.2b）进行比对，检查二者是否一致。具体比对方法如下：

- a) 确认封装基板线路图比对范围。若可提供一层及以上线路图比对且一致，则可视为线路图比对通过，反之为不通过；
- b) 将封装基板实物线路图记录为图像，若一幅图像无法完全记录，则可拆分成多幅图像分别记录；
- c) 将封装基板设计线路图转化为图像；
- d) 针对选取的封装基板线路图比对范围，将封装基板实物线路图与相应的封装基板设计线路图进行图像比对，检查二者是否一致；
- e) 对于有中介层或者RDL的封装，再通过图像比对的方式将中介层/RDL实物与其设计版图进行比对，检查二者是否一致；
- f) 若上述图像比对均一致，则封装基板线路图比对通过。

6.5 芯片版图比对

6.5.1 通则

芯片版图比对是指将芯片实物版图（见5.2.1c）与对应的芯片设计版图（见5.2.2c）进行比对，检查二者是否一致。具体比对方法见6.5.2、6.5.3。

6.5.2 版图比对范围选择原则

芯片版图比对范围的选取原则包括如下：

- a) 如果芯片版图上有关标识，该标识需要比对；
- b) 芯片版图的整体轮廓信息（如长、宽等各边边长之间的比例）需要比对；
- c) 除a)、b)外，选取比对的版图上至少应该包含芯片的一部分图形、线条等信息。

6.5.3 版图比对

版图比对的操作如下：

- a) 根据6.5.2选取芯片版图比对范围；
- b) 将芯片实物版图记录为图像，若一幅图像无法完全记录，则可拆分成多幅图像分别记录；
- c) 将芯片设计版图转化为图像；
- d) 针对选取的版图比对范围，将芯片实物版图与相应的芯片设计版图进行图像比对，检查二者是否一致。若一致，则芯片版图比对通过。

6.6 LVS 验证

将芯片设计版图（见5.2.2c）与对应的原理图（见5.2.2d）进行LVS验证，判断验证是否通过。其中，LVS验证设置时应选择所有层的设计版图，LVS验证是否通过以相应EDA工具所显示的验证结果为准。

7 IP 核补充验证

7.1 通则

7.1.1 关键 IP 核选取

为兼顾验证效果与验证效率，仅对关键IP核开展补充验证。针对某类芯片，按照功能较为关键、设计有一定难度的原则筛选出该类芯片的关键IP核，不同类别芯片建议考察的关键IP核详见附录B。

模拟芯片IP核的种类主要有模拟IP核、模数混合IP核（主要存在于接口集成电路中）。模拟IP核的IP核形态包括自研IP核、硬核两种形式。针对模数混合IP核，先将其分解成模拟IP、数字IP两部分再根据各自的IP核形态进行分类和验证（其中数字IP核的形态包括自研IP核、软核、硬核、固核等），用模拟、数字两部分的评分的均值作为模数混合IP核的评分。

关键IP核的数量可为1个或多个，针对每一个关键IP核，被验证方应首先提供其IP核形态说明（详见5.3c）供验证方参考，验证方根据该关键IP核的形态对该IP核进行验证。其中，硬核见7.2，PR门级网表形式的固核见7.3，综合门级网表形式的固核见7.4，软核见7.5，自研IP见7.6。

7.1.2 不同形态 IP 核的补充验证

验证前，需确定并获取由被验证方准备的IP核的实物信息及设计信息，即IP核实物相关文件和IP核设计相关文件。然后根据IP核实物相关文件和IP核设计相关文件，对IP核进行验证。

不同形态IP核的实物相关文件、设计相关文件和验证项不同，应结合IP核的形态进行IP核补充验证，见图3。

针对硬核IP核，其实物相关文件为IP核实物版图，其设计相关文件为IP核设计版图。其验证包括的验证项为：版图比对（见7.2.2）。

针对PR门级网表形式的固核，其实物相关文件为IP核实物版图，其设计相关文件为IP核设计版图、IP核PR门级网表。其验证包括的验证项为：版图比对（见7.3.2）、LVS验证（见7.3.3）。

针对综合门级网表形式的固核，其实物相关文件为IP核实物版图，其设计相关文件为IP核设计版图、IP核PR门级网表、IP核综合门级网表。其验证包括的验证项为：版图比对（见7.4.2）、LVS验证（见7.4.3）、PR门级网表与综合门级网表形式验证（见7.4.4）。

针对软核IP核，其实物相关文件为IP核实物版图，其设计相关文件为IP核设计版图、IP核PR门级网表、IP核综合门级网表、IP核RTL代码。其验证包括的验证项为：版图比对（见7.5.2）、LVS验证（见7.5.3）、PR门级网表与综合门级网表形式验证（见7.5.4）、综合门级网表与RTL代码形式验证（见7.5.5）。

针对自研模拟IP核，其实物相关文件为IP核实物版图，其设计相关文件为IP核设计版图、IP核原理图。其验证包括的验证项为：版图比对（见7.6.2.2）、LVS验证（见7.6.2.3）。

针对自研数字IP核，其实物相关文件为IP核实物版图，其设计相关文件为IP核设计版图、IP核PR门级网表、IP核综合门级网表、IP核RTL代码、IP核详细设计文档。其验证包括的验证项为：版图比对（见7.6.3.2）、LVS验证（见7.6.3.3）、PR门级网表与综合门级网表形式验证（见7.6.3.4）、综合门级网表与RTL代码形式验证（见7.6.3.5）、文档比对（见7.6.3.6）。

IP核在开展上述验证前，还需要进行验证文件检查，即对被验证方提供的验证文件进行检查，确认被验证方提供的文件是否满足规定要求。

注：若几个关键IP核的验证项中有共同的验证项，则该共同的验证项可选择分别验证，或者一起验证。如果选择一起验证，那么用于一起验证时的信息（指实物相关文件、设计相关文件）应能覆盖用于分别验证的信息。如IP核1、IP核2的验证项中有共同的验证项-7.6.2.3 IP核LVS验证，那么该LVS验证可分别验证，或者一起验证。一起验证时，用于一起验证的设计版图应至少包括用于IP核1验证的设计版图及用于IP核2验证的设计版图，用于一起验证的原理图应至少包括用于IP核1验证的原理图及用于IP核2验证的原理图。

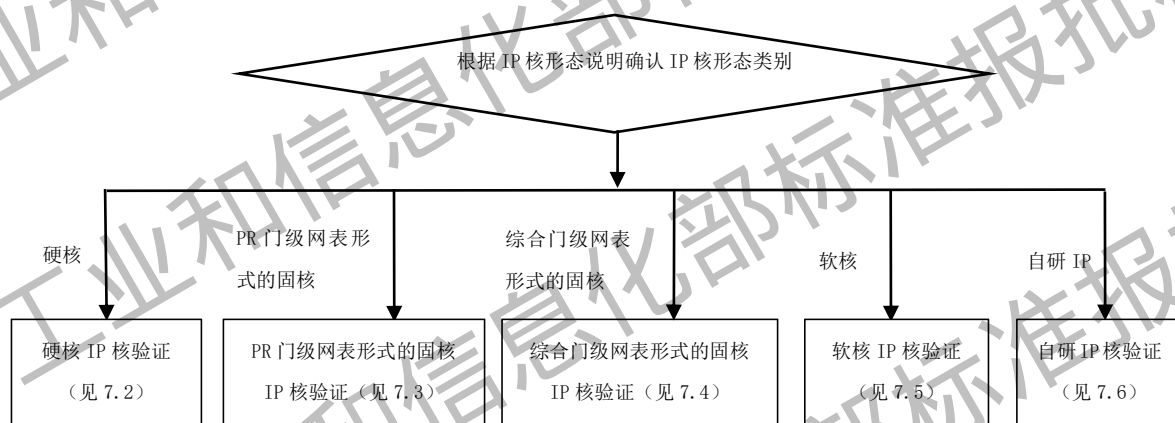


图3 IP核补充验证流程图

7.2 硬核IP核验证

7.2.1 IP核验证文件检查

检查IP核是否具备相应的采购合同（或者授权证明、第三方服务合同、声明等）及使用说明（详见5.3d）。若具备，才可开展7.2.2的验证。

7.2.2 IP核版图比对

将IP核实物版图与IP核设计版图进行比对，检查二者是否一致。具体比对方法如下：

- a) 将IP核实物版图记录为图像；
- b) 将IP核设计版图转化为图像；
- c) 针对IP核实物版图与IP核设计版图的轮廓进行图像比对，检查二者轮廓是否一致，具体比对的内容应包括轮廓各边边长之间的比例以及整体轮廓形状等。若一致，则IP核版图比对通过。

7.3 PR 门级网表形式的固核 IP 核验证

7.3.1 IP 核验证文件检查

7.3.1.1 通则

完成7.3.1的检查后，才可开展7.3.2、7.3.3的验证。

7.3.1.2 IP 核授权证明检查

检查IP核是否具备相应的采购合同（或者授权证明、第三方服务合同、声明等）及使用说明（详见5.3d））。

7.3.1.3 IP 核版图检查

若IP核有设计版图可支持版图比对以及LVS验证，检查用于IP核版图比对的IP核设计版图与用于LVS验证的IP核设计版图中，相同部分是否一致。

7.3.1.4 不同验证端文件检查

当7.3.2、7.3.3的验证是在不同验证端（计算机、服务器等）开展时，为确定不同验证端验证使用的同一种类的文件属于同一源文件，需按照6.2.3.2~6.2.3.4中的其中一种方法或者多种方法开展检查，并将6.2.3.2~6.2.3.4中“芯片的待验证文件”替换为“IP核的待验证文件”。

注：“同一种类的文件”中的“文件”是指实物相关文件或者设计相关文件中的所有文件或者部分文件（如部分模块/部分层/部分区域的文件），“同一种类”是指7.1.2所述的实物相关文件中某一项、或者7.1.2所述的设计相关文件中某一项。“的确属于同一源文件”，是指不同验证端验证使用的同一种类的文件，在不同的验证端上可用于不同的验证，这些用于不同验证的同类文件，需要确保其来源相同，才能保证验证都是针对同一款芯片开展，确保验证准确。

7.3.2 IP 核版图比对

7.3.2.1 通则

IP核版图比对是指将IP核实物版图与IP核设计版图进行比对，检查二者是否一致。比对范围选择原则见7.3.2.2，比对的具体操作见7.3.2.3。

7.3.2.2 IP 核版图比对范围选择原则

IP核版图比对范围的选取原则包括如下：

- a) 如果IP核版图上有关标识、则该标识需要比对；
- b) 除a)外，选取比对的版图上至少应该包含芯片的一部分图形、线条等信息。

7.3.2.3 版图比对

版图比对的操作如下：

- a) 根据7.3.2.2选取IP核版图比对范围；
- b) 将IP核实物版图记录为图像，若一幅图像无法完全记录，则可拆分成多幅图像分别记录；
- c) 将IP核设计版图转化为图像；
- d) 针对选取的版图比对范围，将IP核实物版图与相应的芯片设计版图进行图像比对，检查二者是否一致。若一致，则IP核版图比对通过。

7.3.3 IP核LVS验证

将IP核的设计版图与PR门级网表进行LVS验证，判断验证是否通过。

其中，LVS验证设置时应选择所有层的设计版图，LVS验证是否通过以相应EDA工具所显示的验证结果为准。

7.4 综合门级网表形式的固核IP核验证

7.4.1 IP核验证文件检查

7.4.1.1 通则

完成7.4.1的检查后，才可开展7.4.2、7.4.3、7.4.4的验证。

7.4.1.2 IP核授权证明检查

参照7.3.1.2。

7.4.1.3 IP核版图检查

参照7.3.1.3。

7.4.1.4 不同验证端文件检查

当7.4.2、7.4.3、7.4.4的验证是在不同验证端（计算机、服务器等）开展时，为确定不同验证端验证使用的同一种类的文件属于同一源文件，需按照6.2.3.2~6.2.3.4中的其中一种方法或者多种方法开展检查，并将6.2.3.2~6.2.3.4中“芯片的待验证文件”替换为“IP核的待验证文件”。

注：“同一种类的文件”中的“文件”是指实物相关文件或者设计相关文件中的所有文件或者部分文件（如部分模块/部分层/部分区域的文件），“同一种类”是指7.1.2所述的实物相关文件中某一项、或者7.1.2所述的设计相关文件中某一项。“的确属于同一源文件”，是指不同验证端验证使用的同一种类的文件，在不同的验证端上可用于不同的验证，这些用于不同验证的同类文件，需要确保其来源相同，才能保证验证都是针对同一款芯片开展，确保证准确。

7.4.2 IP核版图比对

参照7.3.2。

7.4.3 IP核LVS验证

参照7.3.3。

7.4.4 IP核PR门级网表与综合门级网表形式验证

将IP核的PR门级网表与综合门级网表进行形式验证，判断验证是否通过。

形式验证是否通过以相应EDA工具所显示的验证结果为准。

SJ/T XXXX—XXXX

7.5 软核 IP 核验证

7.5.1 IP 核验证文件检查

7.5.1.1 通则

完成7.5.1的检查后，才可开展7.5.2、7.5.3、7.5.4、7.5.5的验证。

7.5.1.2 IP 核授权证明检查

参照7.3.1.2。

7.5.1.3 IP 核版图检查

参照7.3.1.3。

7.5.1.4 不同验证端文件检查

当7.5.2、7.5.3、7.5.4、7.5.5的验证是在不同验证端（计算机、服务器等）开展时，为确定不同验证端验证使用的同一种类的文件属于同一源文件，需按照6.2.3.2~6.2.3.4中的其中一种方法或者多种方法开展检查，并将6.2.3.2~6.2.3.4中“芯片的待验证文件”替换为“IP核的待验证文件”。

注：“同一种类的文件”中的“文件”是指实物相关文件或者设计相关文件中的所有文件或者部分文件（如部分模块/部分层/部分区域的文件），“同一种类”是指7.1.2所述的实物相关文件中某一项、或者7.1.2所述的设计相关文件中某一项。“的确属于同一源文件”，是指不同验证端验证使用的同一种类的文件，在不同的验证端上可用于不同的验证，这些用于不同验证的同类文件，需要确保其来源相同，才能保证验证都是针对同一款芯片开展，确保证验证准确。

7.5.2 IP 核版图比对

参照7.3.2。

7.5.3 IP 核 LVS 验证

参照7.3.3。

7.5.4 IP 核 PR 门级网表与综合门级网表形式验证

参照7.4.4。

7.5.5 IP 核综合门级网表与 RTL 代码形式验证

将IP核的综合门级网表与RTL代码进行形式验证，判断验证是否通过。
形式验证是否通过以相应EDA工具所显示的验证结果为准。

7.6 自研 IP 核验证

7.6.1 通则

自研IP核包括自研模拟IP核、自研数字IP核、自研模数混合IP核三大种类。自研模拟IP核的验证参考7.6.2、自研数字IP核的验证参考7.6.3。针对自研模数混合IP核，先将其分解成模拟、数字两部分再分别根据7.6.2、7.6.3进行验证，并将二者得分的平均值作为该模数混合IP核的评分。

7.6.2 自研模拟 IP 核验证

7.6.2.1 IP 核验证文件检查

7.6.2.1.1 通则

完成7.6.2.1的检查后，才可开展7.6.2.2、7.6.2.3的验证。

7.6.2.1.2 IP 核版图检查

参照7.3.1.3。

7.6.2.1.3 不同验证端文件检查

当7.6.2.2、7.6.2.3的验证是在不同验证端（计算机、服务器等）开展时，为确定不同验证端验证使用的同一种类的文件属于同一源文件，需按照6.2.3.2~6.2.3.4中的其中一种方法或者多种方法开展检查，并将6.2.3.2~6.2.3.4中“芯片的待验证文件”替换为“IP核的待验证文件”。

注：“同一种类的文件”中的“文件”是指实物相关文件或者设计相关文件中的所有文件或者部分文件（如部分模块/部分层/部分区域的文件），“同一种类”是指7.1.2所述的实物相关文件中某一项、或者7.1.2所述的设计相关文件中某一项。“的确属于同一源文件”，是指不同验证端验证使用的同一种类的文件，在不同的验证端上可用于不同的验证，这些用于不同验证的同类文件，需要确保其来源相同，才能保证验证都是针对同一款芯片开展，确保验证准确。

7.6.2.2 IP 核版图比对

参照7.3.2。

7.6.2.3 IP 核 LVS 验证

将IP核的设计版图与原理图进行LVS验证，判断验证是否通过。

其中，LVS验证设置时应选择所有层的设计版图，LVS验证是否通过以相应EDA工具所显示的验证结果为准。

7.6.3 自研数字 IP 核验证

7.6.3.1 IP 核验证文件检查

7.6.3.1.1 通则

完成7.6.3.1的检查后，才可开展7.6.3.2、7.6.3.3、7.6.3.4、7.6.3.5、7.6.3.6的验证。

7.6.3.1.2 处理器 IP 核授权证明检查

针对需要指令集授权的处理器IP核，检查IP核是否具备相应的授权证明（详见5.3d）。

7.6.3.1.3 IP 核版图检查

参照7.3.1.3。

7.6.3.1.4 不同验证端文件检查

当7.6.3.2、7.6.3.3、7.6.3.4、7.6.3.5、7.6.3.6的验证是在不同验证端（计算机、服务器等）开展时，为确定不同验证端验证使用的同一种类的文件属于同一源文件，需按照6.2.3.2~6.2.3.4中的其中一种方法或者多种方法开展检查，并将6.2.3.2~6.2.3.4中“芯片的待验证文件”替换为“IP核的待验证文件”。

注：“同一种类的文件”中的“文件”是指实物相关文件或者设计相关文件中的所有文件或者部分文件（如部分模块/部分层/部分区域的文件），“同一种类”是指7.1.2所述的实物相关文件中某一项、或者7.1.2所述的设计相关文件中某一项。“的确属于同一源文件”，是指不同验证端验证使用的同一种类的文件，在不同的验证端上可用于不同的验证，这些用于不同验证的同类文件，需要确保其来源相同，才能保证验证都是针对同一款芯片开展，确保证验证准确。

7.6.3.2 IP核版图比对

参照7.3.2。

7.6.3.3 IP核LVS验证

参照7.3.3。

7.6.3.4 IP核PR门级网表与综合门级网表形式验证

参照7.4.4。

7.6.3.5 IP核综合门级网表与RTL代码形式验证

参照7.5.5。

7.6.3.6 IP核文档比对

将IP核的RTL代码与详细设计文档进行比对，检查IP核详细设计文档中是否包含了其RTL代码中主要功能模块及接口的设计说明，若有设计说明，则文档比对通过，若没有设计说明，则文档比对不通过。

8 权重赋值

8.1 通则

为便于对芯片设计一致性验证（见第6章、第7章）的验证结果进行量化，针对芯片整体设计一致性验证（见第6章）以及IP核补充验证（见第7章）分配权重，以方便对芯片设计一致性进行评分评级（见第9章）。

8.2 芯片整体设计一致性验证权重分配

针对第6章所述芯片整体设计一致性验证的每一个验证项（见6.3~6.6），可根据其代表的环节的难易程度及关键程度，分配验证项各自对应的权重，权重分配表见表1，权重的一组推荐值见表C.1。

表1 芯片验证项权重分配表

验证项	验证项权重
连接关系比对	f1
封装基板线路图比对	f2
芯片版图比对	f3
LVS验证	f4
注1：f1+f2+f3+f4=1。	
注2：LVS验证不通过、但可以提供相关商务说明及原因时，LVS验证需在原权重基础上再乘附加权重k，作为LVS验证的验证项权重。	

表1 芯片验证项权重分配表（续）

验证项	验证项权重
注3：当芯片版图比对未通过（或无法提供比对版图）、但可以提供相关商务说明及原因时，LVS验证还需在原权重基础上再乘附加权重 p ，作为LVS验证的验证项权重。	
注4：当芯片版图比对未通过（或无法提供比对版图）、且无法提供相关商务说明及原因时，LVS验证还需在原权重基础上再乘附加权重 q ，作为LVS验证的验证项权重。	

8.3 IP核补充验证权重分配

针对第7章所述IP核补充验证的各形态IP核的验证内容，当该类形态IP核的验证通过时，所获得的权重分配见表2、表3，权重的一组推荐值见表C.2、表C.3。

表2 模拟IP核补充验证权重分配表

IP核形态	IP核权重	验证项权重
硬核	$s1$	/
自研IP核，权重 $s2$	IP核版图比对	$h1$
	IP核LVS验证	$h2$
注1： $h1+h2=1$ 。		
注2：自研IP核权重 $s2$ ，根据验证项的实际通过情况获得。		
注3：自研IP核中，LVS验证不通过、但可以提供相关商务说明及原因时，LVS验证需在原权重基础上再乘附加权重 ka ，作为LVS验证的验证项权重。		
注4：自研IP核中，当版图比对未通过（或无法提供比对版图）、但可以提供相关商务说明及原因时，LVS验证还需在原权重基础上再乘附加权重 p ，作为LVS验证的验证项权重。		
注5：自研IP核中，当版图比对未通过（或无法提供比对版图）、且无法提供相关商务说明及原因时，LVS验证还需在原权重基础上再乘附加权重 q ，作为LVS验证的验证项权重。		
注6：对于硬核，IP核权重是指该形态IP核各项验证均通过后的权重。		

表3 数字IP核补充验证权重分配表

IP核形态	IP核权重	验证项权重
硬核	$r1$	/
PR门级网表形式的固核	$r2$	/
综合门级网表形式的固核	$r3$	/
软核	$r4$	/
自研IP核，权重 $r5$	IP核版图比对	$g1$
	IP核LVS验证	$g2$
	PR门级网表与综合门级网表形式验证	$g3$
	综合门级网表与RTL代码形式验证	$g4$
	文档比对	$g5$
注1： $g1+g2+g3+g4+g5=1$ 。		
注2：自研IP核权重 $r5$ ，根据验证项的实际通过情况获得。		

表3 数字 IP 核补充验证权重分配表 (续)

IP 核形态	IP 核权重	验证项权重
<p>注3: 自研 IP 核中, LVS 验证不通过, 但可以提供相关商务说明及原因时, LVS 验证需在原权重基础上再乘附加权重 kd, 作为 LVS 验证的验证项权重。</p> <p>注4: 自研 IP 核中, 当版图比对未通过 (或无法提供比对版图)、但可以提供相关商务说明及原因时, LVS 验证、形式验证一、形式验证二、文档比对还需在各自原权重基础上再乘附加权重 p, 作为各自验证项权重。</p> <p>注5: 自研 IP 核中, 当版图比对未通过 (或无法提供比对版图)、且无法提供相关商务说明及原因时, LVS 验证、形式验证一、形式验证二、文档比对还需在各自原权重基础上再乘附加权重 q, 作为各自验证项权重。</p> <p>注6: 对于硬核、固核、软核, IP 核权重是指该形态 IP 核各项验证均通过后的权重。</p>		

8.4 权重值设定原则

针对表1~表3中的权重值, 附录C给出了一组参考权重。针对某个具体的芯片种类, 允许结合凸显某些设计环节重要性的需要以及一些特殊场景 (参考附录A) 等, 视情对权重值进行调整。在调整权重值时, 需要遵循以下原则:

- a) 第6章的验证项权重之和为1: 在验证项不需裁剪时, $f_1+f_2+f_3+f_4=1$, 在验证项进行了裁剪时, 则重新归一化;
- b) 第7章自研 IP 核验证项权重之和为1: $h_1+h_2=1$, $g_1+g_2+g_3+g_4+g_5=1$;
- c) 表1中的权重与表2中的权重应相互自治: 表2中硬核的权重应不大于其需要开展的各个验证项在表1中的权重之和。

9 评分评级

9.1 评分方法

根据芯片设计一致性验证 (见第6章、第7章) 的验证结果, 对芯片进行芯片设计一致性的评分和评级。将第6章所述芯片设计一致性的满分记作A, 将第7章所述IP核补充验证的满分记作B, $A+B=100$ 。结合第6章芯片设计一致性实际通过的验证项、以及第7章通过验证的各关键IP核的形态, 芯片实际得分Z可按照公式 (1)~公式 (3) 计算, 也可直接查表4 (表4遍历了公式 (1)~公式 (3) 所表达的各种情况)。

$$Z = A \times \left(\sum_{m=1}^3 e_m + e_4 * l_4 \right) + \sum_{n=1}^N Y_n \times y_n \quad \dots\dots\dots (1)$$

$$\sum_{n=1}^N Y_n = B \quad \dots\dots\dots (2)$$

$$A + B = 100 \quad \dots\dots\dots (3)$$

- 式中:
- Z——芯片实际得分;
 - A——芯片设计一致性 (见第6章) 的满分;
 - m——验证项序号, 序号范围从1到4分别对应6.3连接关系比对、6.4封装基板线路图比对、6.5芯片版图比对、6.6LVS验证;
 - e_m ——根据第m个验证项的验证情况得到的实际权重得分, 当 $m \neq 4$ 时 (即代表除LVS验证外的其他验证时), 若对应验证项实际开展并通过则 $e_m = f_m$, 验证不通过或者未开展则 $e_m = 0$ 。当 $m=4$ 时 (即代表LVS验证时), 若LVS验证实际开展并通过则 $e_4 = f_4$, 若LVS验证不通过、但可以提供相关商务说明及原因则 $e_4 = f_4 * k$;

l_4 ——针对 LVS 验证, 根据芯片版图比对通过与否得到的附加权重。当芯片版图比对通过时, $l_4 = 1$, 当芯片版图比对未通过(或无法提供比对版图)、但可以提供相关商务说明及原因时, $l_4 = p$, 当芯片版图比对未通过(或无法提供比对版图)、且无法提供相关商务说明及原因时, $l_4 = q$;

N ——关键 IP 核的数量;

Y_n ——第 n 个关键 IP 核的满分 ($Y_n \geq 0$), 各关键 IP 核的满分之和为 B ;

y_n ——第 n 个关键 IP 核的对应权重, 根据 7.2~7.6 完成相应验证后根据 IP 核形态在表 2、表 3 中找到 y_n 对应权重。

A、B 的分值分配可根据补充验证的关键 IP 核规模总量调整。建议在 $B \leq 40$ 的范围内, 根据补充验证的关键 IP 核规模总量调整 B 的数值。若补充验证的关键 IP 核规模总量占据整个芯片的 40% 以下, 可以取 $B=20$, 进而 $A=80$ 。若没有需要补充验证的关键 IP 核, 则 $B=0$, $A=100$ (此时第 7 章的 IP 核补充验证无需开展, 8.2 中根据验证项代表的环节的难易程度及关键程度, 分配验证项各自对应的权重, 等同于根据验证项代表的环节的难易程度及关键程度, 分配验证项各自对应的分值, 其中分值 = $100 \times$ 权重)。其他情况可视情从以上档位中直接选择, 或者进一步调整 A 与 B 的数值。

关键 IP 核的满分 Y_n ($n = 1 \sim N$), 在各关键 IP 核的规模相差不大时可以直接均分, 即 $Y_n = B/N$ ($n = 1 \sim N$)。若其中某关键 IP 核规模明显大于其他关键 IP 核, 则可以单独将此关键 IP 核的满分调大, 其余关键 IP 核的满分在 B 所剩余的分值中分配。

表 4 验证评分对照表

验证内容	评分项	实测情况	对应得分
芯片整体设计一致性验证	B11	6.3 连接关系比对通过	$B11=A*f1$
	B12	6.4 封装基板线路图比对通过	$B12=A*f2$
	B13	6.5 芯片版图比对通过	$B13=A*f3$
	B14	6.5 芯片版图比对通过时, 6.6LVS 验证通过	$B14=A*f4$
		6.5 芯片版图比对通过时, 6.6LVS 验证不通过、但可以提供相关商务说明及原因	$B14=A*f4*k$
		6.5 芯片版图比对未通过(或无法提供比对版图)、但可以提供相关商务说明及原因时, 6.6LVS 验证通过	$B14=A*f4*p$
		6.5 芯片版图比对未通过(或无法提供比对版图)、但可以提供相关商务说明及原因时, 6.6LVS 验证不通过、但可以提供相关商务说明及原因	$B14=A*f4*k*p$
		6.5 芯片版图比对未通过(或无法提供比对版图)、且无法提供相关商务说明及原因时, 6.6LVS 验证通过	$B14=A*f4*q$
	6.5 芯片版图比对未通过(或无法提供比对版图)、且无法提供相关商务说明及原因时, 6.6LVS 验证不通过、但可以提供相关商务说明及原因	$B14=A*f4*k*q$	
IP 核补充验证中, 第 n 个 IP 核评分 ($n=1 \sim N$)	B2n	硬核	模拟硬核 $B2n=Y_n*s1$, 数字硬核 $B2n=Y_n*r1$, 模数混合硬核 $B2n=(s1+r1)/2$
		PR 门级网表形式的固核	$B2n=Y_n*r2$
		综合门级网表形式的固核	$B2n=Y_n*r3$
		软核	$B2n=Y_n*r4$

表 4 验证评分对照表（续）

验证内容	评分项	实测情况	对应得分
IP 核补充验证中，第 n 个 IP 核评分 (n=1~N)	B _{2n}	自研 IP 核	1) 自研模拟 IP 核, B _{2n} =Y _n *s ₂ 。其中权重 s ₂ 根据通过的验证, 给予 h ₁ ~h ₂ 的权重, 以及乘各类附加权重 (ka、p、q) ; 2) 自研数字 IP 核, B _{2n} =Y _n *r ₅ 。其中权重 r ₅ 根据通过的验证, 给予 g ₁ ~g ₅ 的权重, 以及乘各类附加权重 (kd、p、q) ; 3) 自研模数混合 IP 核, B _{2n} =Y _n *(s ₂ +r ₅)/2, s ₂ 、r ₅ 的计算参照 1)、2)
注 1: 若芯片文件核查不通过, 则 B _{1m} =0 (m=1~4)。 注 2: 若第 n 个 IP 核文件核查不通过, 则 B _{2n} =0 (n=1~N)。 注 3: $\sum_{n=1}^N Y_n = B$, $A + B = 100$ 。 注 4: 实际得分 $Z = \sum_{m=1}^7 B_{1m} + \sum_{n=1}^N B_{2n}$ 。			

9.2 评级方法

根据芯片设计一致性的评分（见9.1），对芯片设计一致性进行评级，见表5。

表 5 验证评级对照表

芯片得分	级别	说明
[80, 100]	A 级	芯片设计一致性良好；IP 核灵活程度较高
[60, 80)	B 级	有芯片设计一致性，但部分环节文件不完整；IP 核灵活程度偏低
[30, 60)	C 级	芯片设计一致性较差，部分环节一致性验证中断，但有合理的解释说明
[0, 30)	D 级	芯片设计一致性差，部分环节一致性验证中断，且缺少合理解释
注：IP 核灵活程度是指在调用时，可修改的灵活程度，与 IP 核形态有关，灵活度排序为软核>固核>硬核。		

附录 A
(资料性)
特殊场景的处理建议

随着芯片技术的迅速发展，芯片设计产业链出现了多种研发方式和交付方式，有鉴于此，针对某款芯片，允许根据其应用实际情况，选取适合的验证项，允许使用已经第三方认证的结果，权重值允许在遵循设定原则（见 8.4）的基础上调整。为便于理解，示例 1～示例 4 给出了部分特殊场景及相应的处理建议。

示例 1:

对于以裸片（DIE）形式交付的集成电路产品，因产品尚未封装，本文件连接关系比对（见 6.3）、封装基板线路图比对（见 6.4）可不开展，验证项主要包括芯片整体设计一致性验证（见第 6 章）中的芯片版图比对（见 6.5）至 LVS 验证（见 6.6）、以及 IP 核补充验证（见第 7 章）中的内容。权重值允许在遵循设定原则（见 8.4）的基础上调整。

示例 2:

对于引线框架类封装等不需要用到基板的封装，需将连接关系比对（见 6.3）中的“封装基板”替换为“封装”，封装基板线路图比对（见 6.4）可不开展。权重值允许在遵循设定原则（见 8.4）的基础上调整。

示例 3:

对于芯片内部的集成电路、以及芯片的封装由多家芯片公司共同完成，且验证目的是考察其中一家芯片公司的交付内容的情况，验证内容可根据考察重点选择，以便于给出针对该公司所承担工作的设计一致性评价。权重值允许在遵循设定原则（见 8.4）的基础上调整。

示例 4:

对于在开展 ISO 体系认证等第三方认证时，有和本文件某验证项相同的验证文件（必须是该款芯片的文件）、相同的验证方法、有对应的结果的情况，可以使用此结果作为该验证项的验证结果，此时需要检查该验证项的验证文件与其他验证项用到的同类验证文件是否一致。

附录 B
(资料性)
各类芯片关键 IP 核

针对不同类别芯片，本附录从每类芯片的 IP 核中选出建议重点审核和评估的关键 IP 核，并按照芯片专用 IP、通用 IP 两类罗列，详见表 B.1。其中，芯片专用 IP 是指和芯片功能紧密相关的 IP 核，通用 IP 是指不同类别芯片可能都会用到的 IP 核（如一些接口 IP 核）。受芯片实现架构、发展演进等的影响，实际芯片使用的 IP 核可能会与表中所述有所差异，实际验证时可以参照表格并结合实际情况对 IP 核进行增减。

表 B.1 各类芯片建议考察关键 IP 核

芯片类型	IP 核	
	芯片专用 IP 核	通用 IP 核
射频前端-功放芯片	—	—
射频前端-滤波器芯片	—	—
射频前端-低噪放芯片	—	—
射频前端-开关芯片	—	—
时钟驱动芯片	—	—
电源管理芯片	低压差线性稳压器 IP (Low Dropout Regulator, LDO) 【模拟 IP】; 直流-直流转换器 IP (Direct Current to Direct Current Converter, DC-DC Converter, DC/DC) 【模拟 IP】; 交流-直流转换器 IP (Alternating Current to Direct Current Converter, AC-DC Converter, AC-DC) 【模拟 IP】	—
电平转换类芯片	—	—
复用/解复用芯片 (MUX/DEMUX)	时序线性均衡 IP (Continuous Time Linear Equalization, CTLE) 【模拟 IP】	—
I2C 缓冲器芯片 (又称作 I2C 总线复用器芯片)	—	—
光模块放大和驱动芯片 (如: 限幅放大器芯片、跨阻放大器芯片、外调制激光器驱动器芯片、直接调制激光器驱动器芯片、Mach-Zehnder 调制器驱动器芯片等)	—	—
光模块光芯片/光器件 (如: 相干发射芯片、相干发射器件、相干接收光芯片、相干接收光器件等)	—	—

附录 C
(资料性)

各验证项权重推荐值

针对第 6 章所述芯片设计一致性验证的每一个验证项的权重分配见表 C.1，针对第 7 章所述 IP 核的补充验证通过时所获得的权重分值见表 C.2 和表 C.3，其中表 C.2 是模拟 IP 核权重，表 C.3 是数字 IP 核权重。表 C.1~表 C.3 是一组参考数值，实际使用时可以根据实际情况予以调整。

表 C.1 芯片验证项权重推荐值

验证项	验证项权重	权重数值
连接关系比对	f1	0.05
封装基板线路图比对	f2	0.05
芯片版图比对	f3	0.3
LVS 验证	f4	0.6
<p>注 1: $f1+f2+f3+f4=1$。</p> <p>注 2: LVS 验证不通过、但可以提供相关商务说明及原因时，LVS 验证需在原权重基础上再乘附加权重 k，作为 LVS 验证的验证项权重。其中 $k=0.8$。</p> <p>注 3: 当芯片版图比对未通过（或无法提供比对版图）、但可以提供相关商务说明及原因时，LVS 验证还需在原权重基础上再乘附加权重 p，作为 LVS 验证的验证项权重。其中 $p=0.7$。</p> <p>注 4: 当芯片版图比对未通过（或无法提供比对版图）、且无法提供相关商务说明及原因时，LVS 验证还需在原权重基础上再乘附加权重 q，作为 LVS 验证的验证项权重。其中 $q=0.3$。</p>		

表 C.2 模拟 IP 核补充验证权重推荐值

IP 核形态	IP 核权重	验证项权重	权重数值
硬核	s1	/	$s1=0.2$
自研 IP 核，权重 s2	IP 核版图比对	h1	$h1=0.33$
		IP 核 LVS 验证	h2
<p>注 1: $h1+h2=1$。</p> <p>注 2: 自研 IP 核权重 s2，根据验证项的实际通过情况获得。</p> <p>注 3: 自研 IP 核中，LVS 验证不通过、但可以提供相关商务说明及原因时，LVS 验证需在原权重基础上再乘附加权重 ka，作为 LVS 验证的验证项权重。其中 $ka=0.8$。</p> <p>注 4: 自研 IP 核中，当版图比对未通过（或无法提供比对版图）、但可以提供相关商务说明及原因时，LVS 验证还需在原权重基础上再乘附加权重 p，作为 LVS 验证的验证项权重。其中 $p=0.7$。</p> <p>注 5: 自研 IP 核中，当版图比对未通过（或无法提供比对版图）、且无法提供相关商务说明及原因时，LVS 验证还需在原权重基础上再乘附加权重 q，作为 LVS 验证的验证项权重。其中 $q=0.3$。</p> <p>注 6: 对于硬核，IP 核权重是指该形态 IP 核各项验证均通过后的权重。</p>			

表 C.3 数字 IP 核补充验证权重推荐值

IP 核形态	IP 核权重	验证项权重	权重数值
硬核	r1	/	$r1=0.15$
PR 门级网表形式的固核	r2	/	$r2=0.3$
综合门级网表形式的固核	r3	/	$r3=0.5$

表 C.3 数字 IP 核补充验证权重推荐值（续）

IP 核形态		IP 核权重	验证项权重	权重数值
软核		r4	/	r4=0.75
自研 IP 核，权重 r5	IP 核版图比对	r5	g1	g1=0.22
	IP 核 LVS 验证		g2	g2=0.22
	PR 门级网表与综合门级网表形式验证		g3	g3=0.22
	综合门级网表与 RTL 代码形式验证		g4	g4=0.22
	文档比对		g5	g5=0.12
<p>注 1: $g1+g2+g3+g4+g5=1$。</p> <p>注 2: 自研 IP 核权重 r5, 根据验证项的实际通过情况获得。</p> <p>注 3: 自研 IP 核中, LVS 验证不通过、但可以提供相关商务说明及原因时, LVS 验证需在原权重基础上再乘附加权重 kd, 作为 LVS 验证的验证项权重。其中 $kd=0.9$。</p> <p>注 4: 自研 IP 核中, 当版图比对未通过(或无法提供比对版图)、但可以提供相关商务说明及原因时, LVS 验证、形式验证一、形式验证二、文档比对还需在各自原权重基础上再乘附加权重 p, 作为各自验证项权重。其中 $p=0.7$。</p> <p>注 5: 自研 IP 核中, 当版图比对未通过(或无法提供比对版图)、且无法提供相关商务说明及原因时, LVS 验证、形式验证一、形式验证二、文档比对还需在各自原权重基础上再乘附加权重 q, 作为各自验证项权重。其中 $q=0.3$。</p> <p>注 6: 对于硬核、固核、软核, IP 核权重是指该形态 IP 核各项验证均通过后的权重。</p>				